

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-53449

(P2001-53449A)

(43) 公開日 平成13年2月23日 (2001.2.23)

(51) Int. Cl. ⁷	識別記号	F I	テ-マ-ト (参考)
H 0 5 K 3/46		H 0 5 K 3/46	T 5 E 3 2 1
			Q 5 E 3 3 8
			Z 5 E 3 4 6
1/02		1/02	N
1/03	6 1 0	1/03	6 1 0 L
		審査請求 有	請求項の数13 OL (全 10 頁) 最終頁に続く

(21) 出願番号 特願平11-229525

(22) 出願日 平成11年8月13日 (1999.8.13)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 遠矢 弘和

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 吉田 史郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100099830

弁理士 西村 征生

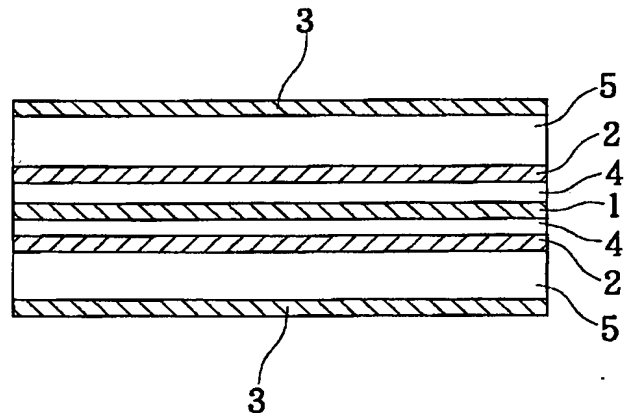
最終頁に続く

(54) 【発明の名称】 多層プリント基板

(57) 【要約】

【課題】 多数の高速、高周波の回路素子を搭載した多層プリント基板において、電源電流に基づく電磁誘導妨害を低減する。

【解決手段】 開示される多層プリント基板は、電源配線6を設けた電源層1の上下両側に、それぞれ電源絶縁材層4を介してグランド層2を積層し、さらにこれらの上下の片側又は両側に、基体絶縁材層5を介して信号配線を設けた信号層3を積層した構成を有している。



【特許請求の範囲】

【請求項 1】 電源配線を設けた電源層の上下両側に、それぞれ第 1 の絶縁材層を介してグランド層を積層し、さらにこれらの上下の片側又は両側に、第 2 の絶縁材層を介して信号配線を設けた信号層を積層してなることを特徴とする多層プリント基板。

【請求項 2】 前記第 1 の絶縁材層が、薄い絶縁材からなることを特徴とする請求項 1 記載の多層プリント基板。

【請求項 3】 前記第 1 の絶縁材層が、高誘電率フィルムからなることを特徴とする請求項 1 記載の多層プリント基板。

【請求項 4】 前記グランド層が、スルーホール及びヴァイアホール以外の切り抜き又は独立した配線を含まない全面平板の導体層からなることを特徴とする請求項 1 記載の多層プリント基板。

【請求項 5】 前記電源配線が、回路電流による電圧降下が所定値以下となるような線路幅と、該電源配線の特性インピーダンスが所定値以下となるような線路幅とのうち、いずれか広い方の線路幅を有することを特徴とする請求項 1 記載の多層プリント基板。

【請求項 6】 前記電源配線が、前記電源層内の直流電源受電端子と各回路素子間に設けられた独立した線路構造からなり、該回路素子に対する電源電流に含まれる高周波成分の該線路上の波長に対して、該線路の終端条件によって定まる値を乗じた以上の長さを有することを特徴とする請求項 5 記載の多層プリント基板。

【請求項 7】 前記電源配線が、一定面積内に一定幅を有する最も長い配線を収容可能な線路パターンからなることを特徴とする請求項 5 又は 6 記載の多層プリント基板。

【請求項 8】 前記線路パターンが、つづら折り配線からなることを特徴とする請求項 7 記載の多層プリント基板。

【請求項 9】 前記電源配線が、回路素子との接続点とグランド層間、及び該電源配線が接続されている直流電源受電端子とグランド層間に、それぞれコンデンサを接続されていることを特徴とする請求項 5 乃至 8 のいずれか 1 に記載の多層プリント基板。

【請求項 10】 前記電源配線が、回路素子側で、電源電流に含まれる高周波成分の高周波帯域で低い特性インピーダンスを有するコンデンサで終端され、直流電源受電端子側で、前記電源電流に含まれる高周波成分の低周波帯域で低い特性インピーダンスを有するコンデンサで終端されることを特徴とする請求項 9 記載の多層プリント基板。

【請求項 11】 前記直流電源受電端子と外部の電源ユニットとを接続する直流供給ケーブルが、前記電源配線と比べて高いコモンモードインピーダンスを有することを特徴とする請求項 5 乃至 10 のいずれ 1 に記載の多層

プリント基板。

【請求項 12】 前記第 2 の絶縁材層が、ガラスエポキシ樹脂板からなることを特徴とする請求項 1 記載の多層プリント基板。

【請求項 13】 前記第 2 の絶縁材層が、セラミック板からなることを特徴とする請求項 1 記載の多層プリント基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、多数の、高速、高周波の回路素子を搭載した場合に、電源電流に基づく電磁誘導妨害を低減可能な、多層プリント基板に関する。

【0002】

【従来の技術】IC (Integrated Circuit) やLSI (Large Scale Integrated circuit) 等のような、高速、高周波の回路素子が搭載された多層プリント基板では、電磁ノイズが発生するために、そのプリント基板に搭載された電子機器自体又は他の電子機器に、EMI (Electro Magnetic Interference : 電磁干渉) を与えて、誤動作を発生させるという問題があることは、よく知られている。EMI のうちで、特に大きなウェイトを占めているのは、コモンモードノイズと呼ばれる、大地面又はグランド面を基準電位として生じる高周波源に起因する電磁ノイズである。しかしながら、コモンモードノイズは、推定される発生原因が多岐にわたるとともに、それぞれの発生機構が複雑なため、発生源に近いところでの、有効な対策方法がなかった。そのため、従来は、コモンモードノイズの主な伝搬経路又は放射アンテナとなるケーブルへの漏洩防止や放射防止の対策がとられているだけであった。

【0003】これに対して、高速デジタル回路における、コモンモードノイズの最大の発生原因の一つが、プリント基板に搭載されている高速、高周波の回路素子に対する電源電流にあることが、最近の研究結果によってわかってきた。この事実に基づいて、発明されたものとして、例えば、特許第 273447 号によって登録された技術や、特願平 9-253519 号によって出願された技術がある。

【0004】これらの技術は、プリント基板に搭載されている、高速、高周波の回路素子に対する直流電源供給を、線路の途中に高周波時に高いインピーダンスを呈するインダクタンス素子を挿入した電源配線によって行うようにしたり、又は、線路の周囲を磁性体で包囲することによって、特性インピーダンスを高くした電源供給線路によって行うとともに、回路素子の電源、グランド間にコンデンサを接続することによって、プリント基板に搭載されている回路素子の高速、高周波の動作を円滑に行わせながら、その動作に伴って発生する高周波電源電流が、プリント基板全体に拡散することを防止するよ

うにしたものである。このような技術を、高性能コンピュータに適用することによって、電磁放射レベルを大幅に抑制するとともに、外部からの電氣的又は電磁的外乱に対する耐力（イミュニティ）が向上することを確認した研究論文が、例えば、「磁性体内蔵デカップリング強化多層プリント基板」（電気学会マグネティクス研究会；1997-12）や、「Novel decoupling circuit enabling notable electromagnetic noise suppression and high-density packing in a digital printed circuit board」（IEEE International Symposium on Electromagnetic Compatibility；1998-8, Denver）等において発表されている。

【0005】上記した従来技術においては、プリント基板の直流電源供給線路のインピーダンスを、高周波領域で高くする線路構造（以下、デカップリングインダクタという）を採用するとともに、回路素子の高速、高周波の動作に伴って発生する高周波電源電流を効率よく分流させるために、コンデンサ（以下、バイパスコンデンサという）を使用している。以下、EMI抑制効果が顕著なものとして知られる従来技術として、特許第273447号の例を説明する。図5は、従来技術におけるプリント基板の断面図、図6は、従来技術のプリント基板における電源層を示す平面図、図7は、従来技術を適用した電源回路の等価回路（デカップリング回路）を示す図、図8は、従来技術を適用したプリント基板における高周波電源電流の拡散抑制効果を説明する図である。

【0006】従来技術のプリント基板は、図5の断面図に示すように、電源層101と、グラウンド層102と、信号層103と、磁性絶縁層104と、誘電体絶縁層105とから構成されていて、上から下方向に順に、信号層103と、誘電体絶縁層105と、グラウンド層102と、磁性絶縁層104と、電源層101と、磁性絶縁層104と、グラウンド層102と、誘電体絶縁層105と、信号層103とが形成されている。ここで、磁性絶縁層104は、磁性体を混合した絶縁材からなっており、誘電体絶縁層105は、誘電特性のみを有する絶縁材からなっている。

【0007】また、従来技術のプリント基板における電源層101においては、図6の平面図に示すように、幹配線106と、幹配線106から分岐した枝配線107が配置され、枝配線107の先端に、ヴァイアホール（不図示）を介して、プリント基板の部品面（例えば信号層103の表面）に取り付けられたIC/LSI108が接続されているとともに、枝配線107とIC/LSI108の接続部に、プリント基板の部品面（例えば信号層103の表面）に取り付けられたデカップリングコンデンサ109が接続されている。

【0008】従来技術のプリント基板において、各IC/LSIに対する電源回路の等価回路は、図7に示すように、IC/LSI110に対して、電源配線112を

介して電源111を接続し、IC/LSI110と電源111の帰路をグラウンド層113に接続している。この際、電源層の上下には、磁性絶縁層104が配置されているので、電源層に形成されている電源配線のインピーダンスが高くなって、図7に示すように、デカップリングインダクタ（L）114が挿入されたのと等価になる。このインダクタンス114と、デカップリングコンデンサによる容量（C）115とによって、ローパスフィルタが形成されるので、IC/LSI110の動作に伴って電源供給線に流れる高周波電源電流が抑圧される。さらに、電源配線112に、つづら折り部110等からなるインピーダンス付加回路を用いて、デカップリングインダクタを大きくする構成とすることもできる。

【0009】この従来技術においては、上記各図から知られるように、ICやLSIの動作に伴って、電源層に流入する高周波電源電流を、配線構造に挿入されたインダクタによって阻止するとともに、ICやLSIの近傍に配置されたバイパスコンデンサによって分流させるようにしている。

【0010】図5～図7に示された従来技術を適用したプリント基板における高周波電源電流の拡散抑制効果は、図8に示される。図8においては、基板近傍の磁界分布を、磁界が強いほど濃い色で示している。図8

（a）に示す従来例では、電源層が全面平板からなる基板であったため、高周波電源電流が基板全面に拡散しているとともに、一部に特に濃い色でノイズ発生源である電子機器が示されているが、図8（b）に示す特許第273447号の場合は、電源層を配線化したため、高周波電源電流の拡散が減少し、電子機器からのコモンモード放射も抑制されたことが示されている。これは、電源層を配線化してICやLSIからの高周波電源電流の拡散を減少させたことと、電源配線と隣接するグラウンド層とによってストリップ線路を形成したことによって、電源層（線）と信号線との電磁結合が減少して、コモンモード電流が減少したためであると考えられる。

【0011】

【発明が解決しようとする課題】しかしながら、前述の特許第273447号の技術は、従来のデカップリング技術の観点からは全く正しいものであるが、実用的な面からは、多くの課題を抱えている。第1の課題は、高速、高周波の動作に伴って発生する高周波電源電流を、どのようにして知るかということである。これがわからなければ、デカップリングインダクタやバイパスコンデンサを設計することができない。本来、回路設計は、回路電圧、電流及びインピーダンスのうちの、いずれか二つを適切な値に設定してゆく作業であるが、特にデジタル回路の場合は、入出力信号として、“1”と“0”の二つの状態のみを使用するので、回路設計は、電圧のみに着目して行われ、電流及びインピーダンスを設計上において考慮することは、殆ど行われなかった。このた

め、事実上、世界的標準となっているものから客先仕様のものに至るまで、殆どすべての半導体IC及びLSIに対する、インピーダンスと電流についての特性の開示は行われていないし、近い将来においても、これらのすべてについて開示が行われることは、期待できない。そこで、半導体メーカーだけでなく、ユーザにおいても、高周波電源電流を測定できる方法が考案されるとともに、世界標準化に向けた動きが進展しているが、動作条件の設定と測定環境の設定が比較的難しく、そのため、設計ラインで効率よく測定を行うことは容易ではない。従って、当面、ある程度の設計誤差を見込んだ上で、高周波電源電流のデータに代わる、入手可能な特性データから、電源電流を推定することが必要になる。

【0012】第2の課題は、基本的には、個々の半導体ICやLSIごとに、デカップリングインダクタとバイパスコンデンサのパラメータを設計しなければならない、ということである。半導体ICやLSIの高速、高周波の動作のためには、それに伴って発生する高周波電源電流を、効率よくバイパスコンデンサに分流する回路が必要になる。この回路は、半導体ICやLSIのタイプや使用条件の変化に応じて個別に設計されるべきことは、回路設計上の基本であって当然のことであるが、前述のように、デジタル回路においては、従来、このような設計は殆ど行われていないので、短期的には設計者の負担が大きくなり、このような負担が増加することによって、設計期間が長くなるとともに、設計ミスも増加することになると思われる。すなわち、デカップリング設計を、製品設計に適用するためには、設計ツールの改良や、設計者の再教育を行う等の、十分な準備期間が必要になる。

【0013】図9は、LSIの高周波電源電流特性の一例を示したものである。上述の第1及び第2の課題を解決するためには、基板上に搭載されたすべてのICとLSIについて、図9に示されたような、高周波電源電流特性を測定して、その1周期の波形の積分値である電荷量Qを求めて、個々のIC、LSIの許容電圧変動を勘案して、必要なバイパスコンデンサの容量を求めなければならない。さらに、バイパスコンデンサとデカップリングインダクタのインピーダンス比から、所望のインダクタンス値を算出して、配線パターン長に置き換えるようにして、電源の配線設計を行うことが必要になる。

【0014】第3の課題は、半導体IC、LSIの高速、高周波化に比べて、デカップリングインダクタとバイパスコンデンサの材料技術又は製造技術が遅れているということである。例えば、最近のパーソナルコンピュータに使用されているCPU(Central Processing Unit)のスイッチング周波数は、500MHz程度まで上昇しており、このような、高速スイッチングを行う場合には、CPUを構成する半導体ICやLSIの電源電流に、数GHz以上の高次高調波が含まれることにな

る。しかしながら、現在のコンデンサ製造技術では、半導体ICやLSIの電源に対して必要な、 $0.1\mu\text{F}$ 程度の静電容量を有するコンデンサの共振周波数は、数十MHz以下にとどまっていた、これ以上の周波数では、コンデンサとして作用せず、インダクタとして振る舞うようになる。今後におけるデジタル回路の高速化を可能にするためには、バイパスコンデンサの高周波特性の向上は必須となるであらうが、近い将来において、共振周波数がGHzオーダーに達する大容量小型コンデンサが、市場で入手できる可能性は少ない。デカップリングインダクタについても、構造と材料面の研究開発が進展しなければ、GHz台の共振周波数を有し、数百nH程度のインダクタンスを有するとともに、電流容量が数Aに達するようなインダクタを、近い将来、市場で入手できる可能性は少ない。

【0015】電源回路については、このような各種の課題があるにもかかわらず、デジタル回路の高速化を進めることが必要である。このため、比較的実用化が容易と思われる代替策が、少なくとも当面、必要となる。

【0016】この発明は、上述の事情に鑑みてなされたものであって、回路の高速、高周波の動作に伴って発生する高周波電源電流の値が開示されていなくても、また、デカップリングインダクタやバイパスコンデンサの高周波性能が不十分であっても採用することができ、半導体ICやLSIのタイプや使用条件に大きく依存することなく、半導体IC、LSIの電源の、高速、高周波の動作を可能にするような、直流電源供給線路構造を備えた多層プリント板を提供することを第1の目的としている。また、この発明は、半導体ICやLSIの高周波電源電流に基づく、コモンモードノイズの発生を抑圧できるような、直流電源供給線路構造を有する多層プリント基板を提供することを第2の目的としている。

【0017】

【課題を解決するための手段】上記課題を解決するため、請求項1記載の発明は、多層プリント基板に係り、電源配線を設けた電源層の上下両側に、それぞれ第1の絶縁材層を介してグランド層を積層し、さらにこれらの上下の片側又は両側に、第2の絶縁材層を介して信号配線を設けた信号層を積層してなることを特徴としている。

【0018】また、請求項2記載の発明は、請求項1記載の多層プリント基板に係り、上記第1の絶縁材層が、薄い絶縁材からなることを特徴としている。

【0019】また、請求項3記載の発明は、請求項1記載の多層プリント基板に係り、上記第1の絶縁材層が、高誘電率フィルムからなることを特徴としている。

【0020】また、請求項4記載の発明は、請求項1記載の多層プリント基板に係り、上記グランド層が、スルーホール及びヴァイアホール以外の切り抜き又は独立した配線を含まない全面平板の導体層からなることを特徴

としている。

【0021】また、請求項5記載の発明は、請求項1記載の多層プリント基板に係り、上記電源配線が、回路電流による電圧降下が所定値以下となるような線路幅と、該電源配線の特性インピーダンスが所定値以下となるような線路幅とのうち、いずれか広い方の線路幅を有することを特徴としている。

【0022】また、請求項6記載の発明は、請求項5記載の多層プリント基板に係り、上記電源配線が、上記電源層内の直流電源受電端子と各回路素子間に設けられた独立した線路構造からなり、該回路素子に対する電源電流に含まれる高周波成分の該線路上の波長に対して、該線路の終端条件によって定まる値を乗じた以上の長さを有することを特徴としている。

【0023】また、請求項7記載の発明は、請求項5又は6記載の多層プリント基板に係り、上記電源配線が、一定面積内に一定幅を有する最も長い配線を収容可能な線路パターンからなることを特徴としている。

【0024】また、請求項8記載の発明は、請求項7記載の多層プリント基板に係り、上記線路パターンがつつら折り配線からなることを特徴としている。

【0025】また、請求項9記載の発明は、請求項5乃至8のいずれか1に記載の多層プリント基板に係り、上記電源配線が、回路素子との接続点とグランド層間、及び該電源配線が接続されている直流電源受電端子とグランド層間に、それぞれコンデンサを接続されていることを特徴としている。

【0026】また、請求項10記載の発明は、請求項9記載の多層プリント基板に係り、上記電源配線が、回路素子側で、電源電流に含まれる高周波成分の高周波帯域で低い特性インピーダンスを有するコンデンサで終端され、直流電源受電端子側で、上記電源電流に含まれる高周波成分の低周波帯域で低い特性インピーダンスを有するコンデンサで終端されることを特徴としている。

【0027】また、請求項11記載の発明は、請求項5乃至10のいずれか1に記載の多層プリント基板に係り、上記直流電源受電端子と外部の電源ユニットとを接続する直流供給ケーブルが、上記電源配線と比べて高いコモンモードインピーダンスを有することを特徴としている。

【0028】また、請求項12記載の発明は、請求項1記載の多層プリント基板に係り、上記第2の絶縁材層が、ガラスエポキシ樹脂板からなることを特徴としている。

【0029】また、請求項13記載の発明は、請求項1記載の多層プリント基板に係り、上記第2の絶縁材層が、セラミック板からなることを特徴としている。

【0030】この発明において、電源層をグランド層で挟まれた低インピーダンスの線路構造とする理由は、次の通りである。すなわち、プリント基板に搭載されてい

るIC、LSI等のような、高速、高周波の回路素子にとっての、理想的な直流電源の形態は、広い周波数帯域にわたって内部インピーダンスが充分小さい値を有することと、このような電源が、IC、LSI等の回路素子ごとに設けられていることである。これによって、IC、LSI等のような回路素子の、高速、高周波の動作に伴う高周波電源電流を円滑にグランドに流下させて、その結果、信号波形の歪みを抑制できるとともに、直流電源を共用することによる、電圧安定度の劣化に基づく、IC、LSI等の回路素子の相互間の干渉を排除することが可能になる。

【0031】しかしながら、回路素子ごとに電源を独立に設置することは、回路部品数が増大して、機器のコストを上昇させるとともに、機器のサイズを増大させ、さらに、機器の故障確率を高くするという問題を生じるため、必ずしも現実的ではない。このため、比較的小規模の電子機器の場合は、特に必要がない限り、同一電圧の電源は、一つに集約されることが多い。すなわち、プリント基板用の直流電源は、プリント基板とは独立したユニットで発生させ、高周波の影響についての配慮が払われていない電線を介して供給するのが普通である。

【0032】そこで、このような形態でプリント基板に供給される直流電源を、プリント基板内で、上述した理想に近い形で、ICやLSIに供給できるようにすることが必要になる。理想に近い形で、直流電流を分配するためには、大きく分けて二つの方法が考えられる。一つは、直流電源の独立設置を優先しつつ、可能な限り、電源のインピーダンスを低くするという考え方であって、従来の電源層にインピーダンス付加回路を形成する方法（例えば、特願平8-137904号公報参照）がこれに含まれる。他の考え方は、電源の低インピーダンス化を優先しつつ、可能な限り、電源の独立性を保つという考え方であって、この発明は、後者の考え方に基づいている。

【0033】

【作用】この発明の構成によれば、多層プリント基板を上記のように構成することによって、プリント基板に搭載されているIC、LSI等の回路素子に対して、理想的な直流電源を、見かけ上、個別に供給できるため、IC、LSI等の回路素子の高速動作に対する、電源部による制約要因を排除できるとともに、高周波電流が流れているプリント基板の電源供給線路と信号線路との間の電磁結合と、プリント基板の電源供給線路から装置内の電源供給ケーブルへの高周波電流の流出を抑制することが可能になる。これによって、プリント基板に搭載されているIC、LSI等の回路素子の高速、高周波の動作を保証するとともに、デジタル機器をはじめとする、高速、高周波の電子機器からの電磁放射を抑制し、また外部からの電氣的又は電磁的外乱に対する耐力を向上することができるようになる。

【0034】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的にを行う。図1は、この発明の一実施例である多層プリント基板の構造を示す断面図、図2は、この発明の一実施例である多層プリント基板における電源層の構成を示す平面図、図3は、つづら折り配線の例を示す図、図4は、ストリップ線路構造を説明する図である。この例の多層プリント基板は、図1に示すように、電源層1と、グランド層2と、信号層3と、電源絶縁材層4と、基体絶縁材層5とから構成されている。この例においては、上から下方向に順に、信号層3と、基体絶縁材層5と、グランド層2と、電源絶縁材層4と、電源層1と、電源絶縁材層4と、グランド層2と、基体絶縁材層5と、信号層3とが形成されているが、いずれか一方の信号層3と、基体絶縁材層5とを欠く構成にすることもできる。

【0035】電源層1は、銅箔パターンによって、直流電源受電端子から各回路素子に対する電源配線が形成されている層である。グランド層2は、銅箔によって形成された、接地のための層であって、スルーホールやヴァイアホール以外の切り抜きや、独立した配線を含まない全面平板とすることが望ましい。信号層3は、銅箔パターンによって、各回路素子に対する信号線路が形成されている層である。電源絶縁材層4は、電源層1とグランド層2とを絶縁するための絶縁材層であって、高誘電率を有する、充分薄い絶縁材によって形成されている。基体絶縁材層5は、プリント基板の基体層を構成するとともに、信号層5とグランド層3とを絶縁するための絶縁材層である。

【0036】この例における電源層1は、図2に示すように、電源配線6と、つづら折り配線7と、直流電源受電端子8とからなっている。各電源配線6は、銅箔パターンからなり、一端に、スルーホールやヴァイアホール（不図示）を介して、プリント基板の部品面（例えば信号層3の表面）に取り付けられているIC/LSI9と接続され、他端を、直流電源受電端子8に接続されている。電源配線6の一部には、つづら折り配線7が設けられている場合もある。電源配線6とIC/LSI9との接続部には、スルーホールやヴァイアホール（不図示）を介して、プリント基板の部品面（例えば信号層3の表面）に取り付けられている、バイパスコンデンサ10が接続されている。さらに、直流電源受電端子8には、スルーホールやヴァイアホール（不図示）を介して、プリント基板の部品面（例えば信号層3の表面）に取り付けられている、終端コンデンサ11が接続されている。直流電源受電端子8には、外部に設けられている電源ユニット12が、直流供給ケーブル13を介して接続されている。

【0037】電源配線6には、一定の面積内に、一定の

幅を有する最も長い配線を収容することができるような、線路パターンを使用する。このような線路パターンの例としては、例えば、図3に示すような、つづら折り状に形成した線路パターンである、つづら折り配線14がある。この線路パターンは、単純に2点間を結ぶ直線状の配線パターンと比較して、効果的に線路長を長くすることができる。電源配線6の特性インピーダンスは、線路幅が広いほど低く、線路とグランド層との間隔が狭いほど低く、また、線路とグランド層間の絶縁材の誘電率が高いほど低くなる。電源配線6の特性インピーダンスを保証する周波数の下限は、線路長に比例して低くなる。また、電源配線6の特性インピーダンスをある程度保証できる周波数の上限は、一般的なガラス繊維強化エポキシ材使用のプリント基板において、数GHzに及ぶことが期待できるため、ある程度以上の高周波数領域において、低インピーダンスの線路を形成することが可能である。なお、電源配線6の形状は、図3に示されたつづら折り配線に限定されるものでなく、単純な2点間直線配線の長さ（マンハッタン長）よりも長くなるような配線方法であれば、どのような形状であってもよい。

【0038】電源層の設計を行う場合には、線路とグランド層との間隔、及び絶縁材の誘電率をプリント基板の材料設計時点で決定し、次に、プリント基板に搭載される半導体ICやLSIを消費電力に基づいて自由に分類して、それぞれのグループごとに、電源配線6の線路幅を決定したのち、適切なルールに従って配線設計を行い、その結果によって、半導体IC、LSIごとのバイパスコンデンサを選定するという、比較的単純な作業によって、設計を進めることができる。バイパスコンデンサの選定に関しては、電源配線6が高周波数帯域のインピーダンスを保証するために、その選定の自由度が高く、従って、コストアップや設計ミスが生じるおそれが少ないと考えられる。

【0039】この例では、電源配線6の幅をある程度広くした上で、電源層1とグランド層2間の電源絶縁材層4を薄くすることによって、電源配線6の特性インピーダンスを広い範囲の高周波数帯域で低下させている。この場合の電源配線6の特性インピーダンスは、電源配線6を図4に示すような、電源配線をストリップ導体15とし、グランド層を上下の接地導体16とし、電源絶縁材層をグランド絶縁体17とするストリップ線路と見なすことによって求められる。この場合における、ストリップ線路の特性インピーダンス（ Z_0 ）は、周知の次の簡易式を適用することによって、容易に決定することができる。

【0040】

【数1】

$$Z_0 = \frac{94.15}{\sqrt{\epsilon_r} \left\{ \frac{a}{(b-t)} + 0.45 + 1.18 \frac{t}{b} \right\}} \quad \dots (1)$$

t; ストリップ導体の厚さ

a; ストリップ導体の幅

b; グランド絶縁体の厚さ

ただし $0.05 < t/b < 0.5$

ϵ_r ; ストリップ導体を挟む絶縁体の
比誘電率 (= 有効誘電率 ϵ_{eff})

【0041】電源配線の特性インピーダンスを低下させる手段として、電源絶縁材層4を薄くするためには、例えば印刷（塗装）手法によって形成された、薄膜又は厚膜の誘電体からなる絶縁材層を用いることができる。さらにこの例では、電源絶縁材層4を形成する絶縁材の誘電率を高くすることによって、より特性インピーダンスを低下させるようにしている。具体的には、例えば、電源配線を高誘電率材料からなる絶縁フィルムで挟んで、さらにその両側からグランド層によって積層して、多層プリント基板を形成する方法をとることもできる。

【0042】このようにして、同一配線幅の場合に、電源配線の特性インピーダンスが極力低くなるような、多層基板構造を決定し、その上で、プリント基板に搭載されるIC、LSI等の回路素子を消費電力で分類したグループごとに、許容電流の観点から最小配線幅を決定する。配線幅を定めるための他の条件は、特性インピーダンス値であるが、これに対しても、消費電力でグループ分けして、(1)式に基づいて最小配線幅を決定する。実際には、このようにして定められた配線幅から、いずれか幅の広い方の値を採用すればよい。

【0043】電源配線の線路長によって、特性インピーダンス値を保証する最低周波数が規定される。具体的には、誘電体による波長短縮効果を見込んだ波長の1/4又は1/2よりも長い場合に、ほぼ、特性インピーダンスが保証される。波長の1/4をとるか、又は1/2をとるかは、線路の終端条件（オープン又はショート）に依存する。図1の例では、電源供給線路の両端が、充分低いインピーダンス（例えば0.1オーム程度）を有するコンデンサで終端されるので、この場合の線路長は、1/2波長となる。

【0044】IC、LSI等の回路素子側の電源配線に使用するコンデンサは、比較的高い周波数領域（例えば、30MHzから100MHz）で電源供給線路を終端し、プリント基板の直流電源受電端子8側の電源配線に使用するコンデンサは、比較的低い周波数領域（例えば、150KHzから30MHz）で電源供給線路を終端する。これによって、半導体IC、LSIの、高速、高周波の動作に伴う高周波電源電流を、これらの回路素子側で、バイパスコンデンサと電源配線に円滑に分流させるとともに、電源配線の高周波数領域から低周波数領

域にいたる広い周波数帯域の電源電流が、特性インピーダンスの差によって、プリント基板に直流を供給している直流電源受電端子8に流入することを抑制できる。また、プリント基板の直流電源受電端子8から直流供給ケーブル13に高周波電流が漏洩しにくくするために、直流供給ケーブル13のコモンモードインピーダンスを充分大きく（例えば数十オーム以上）することが望ましい。

【0045】以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られたものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、基体絶縁材層5を構成する絶縁材として、ガラスエポキシ樹脂板を用いてもよく、又はセラミック板を用いることもできる。電源絶縁材層4を形成する薄膜誘電体は、蒸着によって形成してもよく、同じく厚膜誘電体は、スパッタリングによって形成してもよい。

【0046】

【発明の効果】以上説明したように、この発明によれば、多層プリント基板に搭載される半導体ICやLSI等の回路素子に対して、個別に低インピーダンスの独立電源を設けた場合と同様の状態で、直流電源を供給できるとともに、プリント基板に搭載されているIC、LSI等の回路素子の高速、高周波の動作を阻害することなく、デジタル機器をはじめとする、高速、高周波の電子機器からの電磁放射を抑制することができ、さらに、外部からの電氣的又は電磁的外乱に対する耐力を向上することが可能になる。

【図面の簡単な説明】

【図1】この発明の一実施例である多層プリント基板の構造を示す断面図である。

【図2】この発明の一実施例である多層プリント基板における電源層の構成を示す平面図である。

【図3】つづら折り配線の例を示す図である。

【図4】ストリップ線路構造を説明する図である。

【図5】従来技術におけるプリント基板の断面図である。

【図6】従来技術のプリント基板における電源層を示す平面図である。

【図7】従来技術を適用した電源回路の等価回路（デカップリング回路）を示す図である。

【図8】従来技術を適用したプリント基板における高周波電源電流の拡散抑制効果を説明する図である。

【図9】LSIの高周波電源電流特性の一例を示す図である。

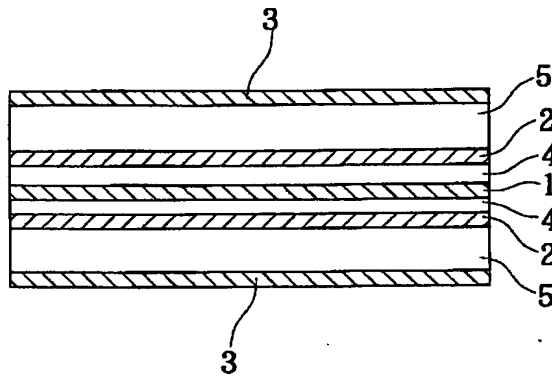
【符号の説明】

- 1 電源層
- 2 グランド層
- 3 信号層
- 4 電源絶縁材層（第1の絶縁材層）

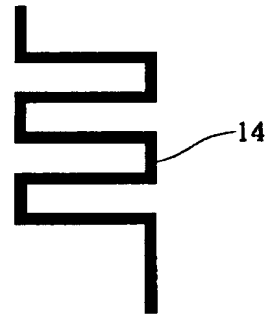
- 13
5 基体絶縁材層（第2の絶縁材層）
6 電源配線
7 つづら折り配線
8 直流電源受電端子
9 IC/LSI（回路素子）

- 14
10 バイパスコンデンサ
11 終端コンデンサ
12 電源ユニット
13 直流供給ケーブル

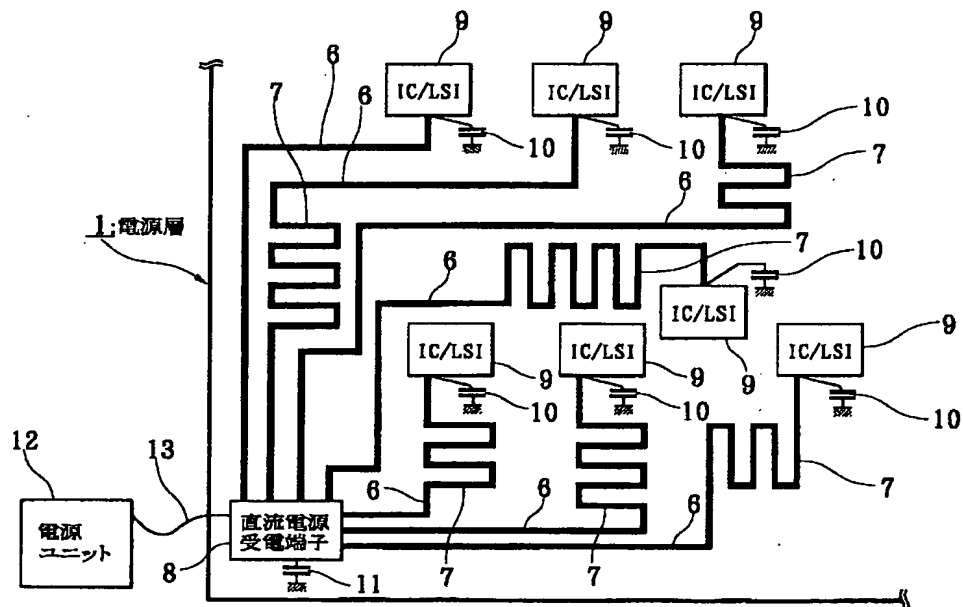
【図1】



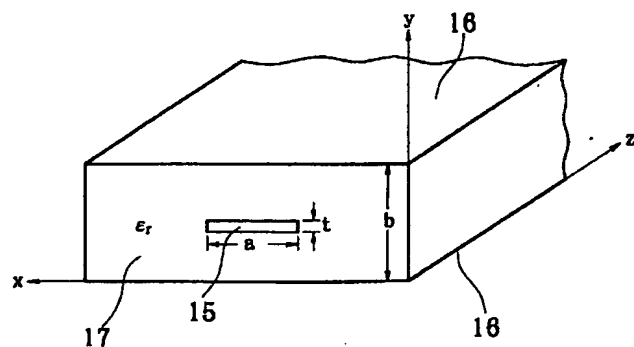
【図3】



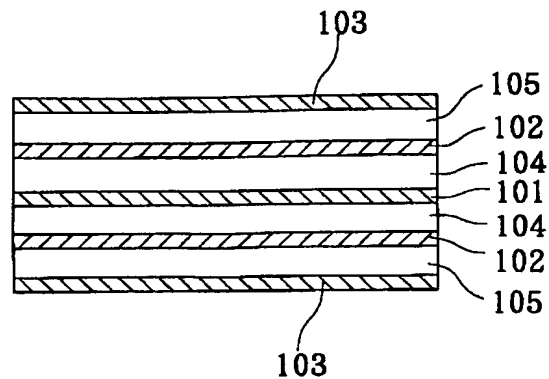
【図2】



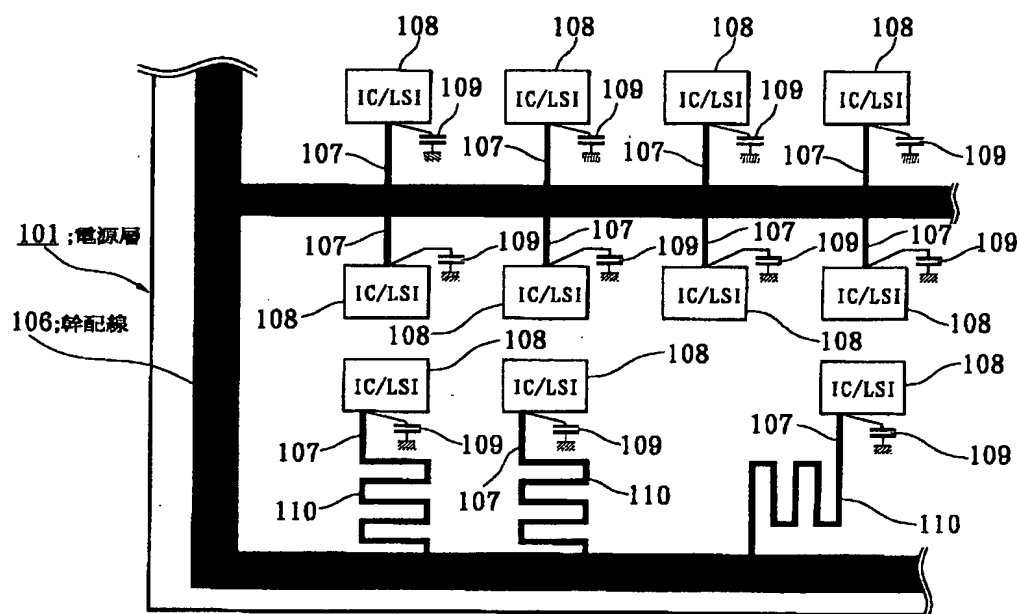
【図4】



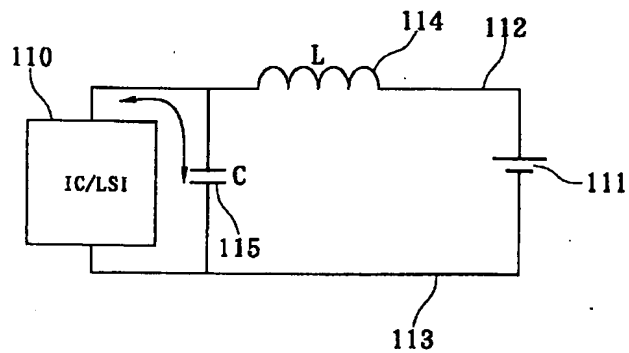
【図5】



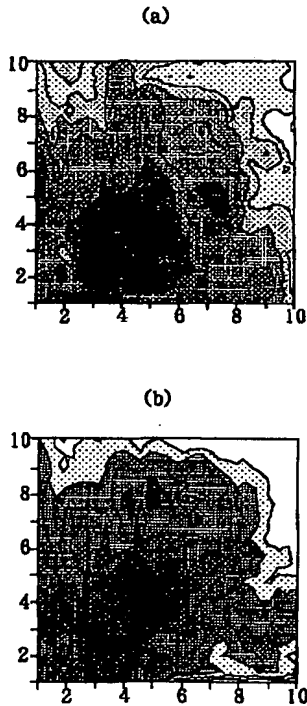
【図6】



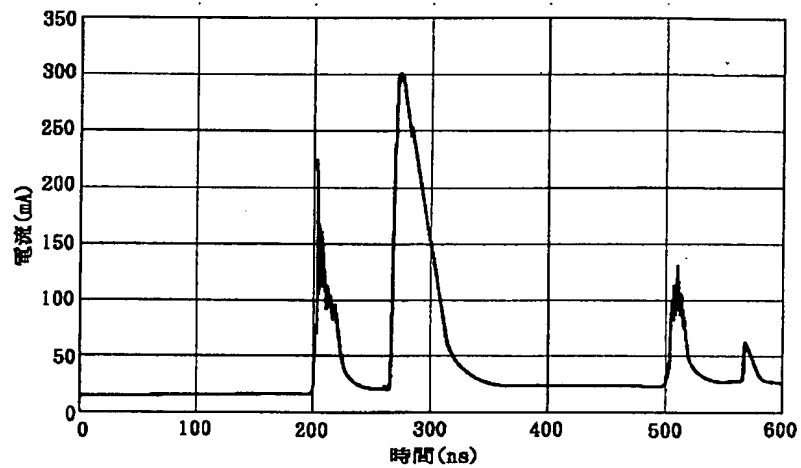
【図7】



【図8】



【図9】



【手続補正書】

【提出日】平成11年8月17日(1999. 8. 17)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0040

【補正方法】変更

【補正内容】

【0040】

【数1】

$$Z_0 = \frac{94.15}{\sqrt{\epsilon_r} \left\{ \frac{a}{(b-t)} + 0.45 + 1.18 \frac{t}{b} \right\}} \quad \dots(1)$$

t; ストリップ導体の厚さ

a; ストリップ導体の幅

b; グランド絶縁体の厚さ

ただし $0.05 < t/b < 0.5$

ϵ_r ; ストリップ導体を挟む絶縁体の
比誘電率(=有効誘電率 ϵ_{eff})

フロントページの続き

(51)Int.Cl.⁷

H05K 9/00

識別記号

F I

H05K 9/00

テーマコード(参考)

R

Fターム(参考) 5E321 AA17 AA32 GG05

5E338 AA03 AA16 BB63 BB75 CC01

CC04 CC06 CD12 CD17 CD23

EE13

5E346 AA42 AA43 BB02 BB03 CC04

CC09 CC16 CC21 HH01 HH03